

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-228821

(P2001-228821A)

(43)公開日 平成13年8月24日(2001.8.24)

(51) Int.Cl.<sup>7</sup>

### 識別記号

F I  
G 0 9 G 3/20  
3/28

テーマコード\*(参考)  
5C080

審査請求 未請求 請求項の数 7 OL (全 21 頁)

(21)出願番号 特願2000-37645(P2000-37645)

(71) 出願人 000005821

松下電器産業株式会社  
大阪府門真市大字門真1006番地

(22)出願日 平成12年2月16日(2000.2.16)

(72) 発明者 増田 真司

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 發明者 奥村 苗行

大阪府門真市大字門真1006番地 松下電器  
産業株式会社

(74) 代理人 100008305

100098305

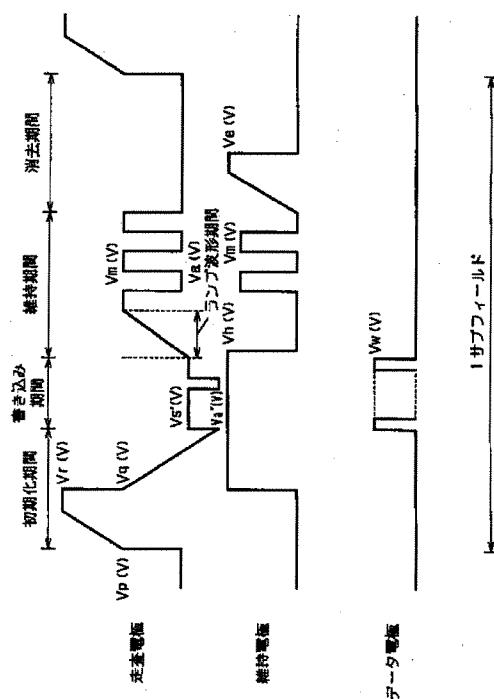
### 最終頁に統く

(54) 【発明の名称】 プラズマディスクプレイ装置およびその駆動方法

(57)【要約】

【課題】 黒表示の視認性を低下させるとともに、書き込みが行われていない電極での誤放電を抑制することができるプラズマディスプレイ装置およびその駆動方法を提供する。

【解決手段】 書き込み期間において維持期間におけるローレベル電圧  $V_a$  (V) より低いローレベル電圧  $V_{a'}$  (V) が走査電極4に印加され、維持期間に走査電極4に印加する最初の維持パルスを電圧  $V_{s'}$  (V) から電圧  $V_m$  (V) までランプ波形により緩やかに上昇させ、走査電極4と維持電極5との間および走査電極4とデータ電極8との間に微弱放電を発生させる。



## 【特許請求の範囲】

【請求項1】 各フィールドを複数のサブフィールドに分割して階調表示を行うプラズマディスプレイ装置であつて、

第1の方向に配列される複数の第1の電極と、  
前記第1の方向と交差する第2の方向に配列される複数の第2の電極と、  
前記複数の第1の電極とそれぞれ対になるように配列される複数の第3の電極と、  
維持期間において前記第1の電極に印加されるローレベル電圧より低いローレベル電圧を書き込み期間において前記第1の電極に印加する電圧印加手段と、  
初期化期間終了後から次のサブフィールドまでの間に前記第1の電極と前記第3の電極との間の電圧を徐々に変化させて前記第1の電極と前記第3の電極との間に微弱放電を発生させる微弱放電発生手段とを備えることを特徴とするプラズマディスプレイ装置。

【請求項2】 前記微弱放電発生手段は、維持期間に前記第1の電極と前記第2の電極との間の電圧および前記第1の電極と前記第3の電極との間の電圧を徐々に変化させて前記第1の電極と前記第2の電極との間および前記第1の電極と前記第3の電極との間に微弱放電を発生させる維持期間微弱放電発生手段を含むことを特徴とする請求項1記載のプラズマディスプレイ装置。

【請求項3】 前記維持期間微弱放電発生手段は、維持期間の最初に前記第1の電極にランプ波形を印加するランプ波形印加手段を含むことを特徴とする請求項2記載のプラズマディスプレイ装置。

【請求項4】 前記維持期間微弱放電発生手段は、維持期間の最初に前記第1の電極に充放電波形を印加する充放電波形印加手段を含むことを特徴とする請求項2記載のプラズマディスプレイ装置。

【請求項5】 前記微弱放電発生手段は、フィールド期間の最後のサブフィールド期間と次のフィールド期間の最初のサブフィールド期間との間に前記第1の電極と前記第3の電極との間の電圧を徐々に変化させて前記第1の電極と前記第3の電極との間に微弱放電を発生させる第1の微弱放電発生手段を含むことを特徴とする請求項1記載のプラズマディスプレイ装置。

【請求項6】 前記微弱放電発生手段は、フィールド期間の最後のサブフィールド期間と次のフィールド期間の最初のサブフィールド期間との間に前記第1の電極をカソードおよび前記第2の電極をアノードとして前記第1の電極と前記第2の電極との間に微弱放電を発生させる第2の微弱放電発生手段をさらに含むことを特徴とする請求項5記載のプラズマディスプレイ装置。

【請求項7】 第1の方向に配列される複数の第1の電極と、前記第1の方向と交差する第2の方向に配列される複数の第2の電極と、前記複数の第1の電極とそれぞれ対になるように配列される複数の第3の電極とを備え

るプラズマディスプレイ装置の駆動方法であつて、維持期間において前記第1の電極に印加されるローレベル電圧より低いローレベル電圧を書き込み期間において前記第1の電極に印加するステップと、初期化期間終了後から次のサブフィールドまでの間に前記第1の電極と前記第3の電極との間の電圧を徐々に変化させて前記第1の電極と前記第3の電極との間に微弱放電を発生させるステップとを含むことを特徴とするプラズマディスプレイ装置の駆動方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、放電を制御することにより画像を表示するプラズマディスプレイ装置およびその駆動方法に関するものである。

## 【0002】

【従来の技術】図14は、従来のAC型プラズマディスプレイパネル（以下、パネルという）の一部斜視図である。

【0003】図14に示すように、第一のガラス基板1上には誘電体層2および保護膜3で覆われた走査電極4と維持電極5とが対を成して互いに平行に付設されている。第二のガラス基板6上には絶縁体層7で覆われたデータ電極8が付設され、データ電極8の間の絶縁体層7上にデータ電極8と平行して隔壁9が設けられている。また、絶縁体層7の表面および隔壁9の側面にかけて蛍光体10が設けられ、走査電極4および維持電極5とデータ電極8とが直交するよう第一のガラス基板1と第二のガラス基板6とが放電空間11を挟んで対向して配置されている。放電空間11には、放電ガスとして、ヘリウム、ネオン、アルゴン、キセノンの内少なくとも1種類の希ガスが封入されており、隣接する二つの隔壁9に挟まれ、データ電極8と対向する対をなす走査電極4と維持電極5との交差部の放電空間には放電セル12が構成されている。

【0004】次に、このパネルの電極配列図を図15に示す。図15に示すように、このパネルの電極配列はM×Nのマトリックス構成であり、列方向にはM列のデータ電極D1～DMが配列されており、行方向にはN行の走査電極SCN1～SCNNおよび維持電極SUS1～SUSNが配列されている。また、図14に示した放電セル12は図15に示すように構成されている。

【0005】このパネルを駆動するための従来の駆動方法による駆動タイミング図を図16に示す。この駆動方法は256階調の階調表示を行うためのものであり、1フィールド期間を8個のサブフィールドで構成している。以下、従来のパネルの駆動方法について図14ないし図16を用いて説明する。

【0006】図16に示すように、第1ないし第8のサブフィールドはそれぞれ初期化期間、書き込み期間、維持期間および消去期間から構成されている。まず、第1

のサブフィールドにおける動作について説明する。

【0007】図16に示すように、初期化期間の前半の初期化動作において、すべてのデータ電極D1～DMおよびすべての維持電極SUS1～SUSNを0(V)に保持し、すべての走査電極SCN1～SCNNには、すべての維持電極SUS1～SUSNに対して放電開始電圧以下となる電圧Vp(V)から、放電開始電圧を越える電圧Vr(V)に向かって緩やかに上昇するランプ電圧を印加する。このランプ電圧が上昇する間に、すべての放電セル12において、すべての走査電極SCN1～SCNNからすべてのデータ電極D1～DMおよびすべての維持電極SUS1～SUSNにそれぞれ一回目の微弱な初期化放電が起り、走査電極SCN1～SCNN上の保護膜3の表面に負の壁電圧が蓄積されるとともに、データ電極D1～DM上の絶縁体層7の表面および維持電極SUS1～SUSN上の保護膜3の表面には正の壁電圧が蓄積される。

【0008】さらに、初期化期間の後半の初期化動作において、すべての維持電極SUS1～SUSNを正電圧Vh(V)に保ち、すべての走査電極SCN1～SCNNには、すべての維持電極SUS1～SUSNに対して放電開始電圧以下となる電圧Vq(V)から放電開始電圧を越える0(V)に向かって緩やかに下降するランプ電圧を印加する。このランプ電圧が下降する間に、再びすべての放電セル12において、すべての維持電極SUS1～SUSNからすべての走査電極SCN1～SCNNにそれぞれ二回目の微弱な初期化放電が起り、走査電極SCN1～SCNN上の保護膜3表面の負の壁電圧および維持電極SUS1～SUSN上の保護膜3表面の正の壁電圧が弱められる。一方、データ電極D1～DM上の絶縁体層7の表面の正の壁電圧はそのまま保たれる。以上により初期化期間の初期化動作が終了する。

【0009】次の書き込み期間の書き込み動作において、すべての走査電極SCN1～SCNNを電圧Vs(V)に保持し、データ電極D1～DMのうち、第一行目に表示すべき放電セル12に対応する所定のデータ電極に正の書き込みパルス電圧Vw(V)を、第一行目の走査電極SCN1に走査パルス電圧0(V)をそれぞれ印加する。このとき、所定のデータ電極と走査電極SCN1との交差部における絶縁体層7の表面と走査電極SCN1上の保護膜3の表面との間の電圧は、書き込みパルス電圧Vw(V)にデータ電極D1～DM上の絶縁体層7の表面の正の壁電圧が加算されたものとなるため、この交差部において、所定のデータ電極と走査電極SCN1との間および維持電極SUS1と走査電極SCN1との間に書き込み放電が起こり、この交差部の走査電極SCN1上の保護膜3表面に正電圧が蓄積され、維持電極SUS1上の保護膜3表面に負電圧が蓄積され、書き込み放電が起こったデータ電極上の絶縁体層7の表面に負電圧が蓄積される。以上により書き込み期間における書き込み動作が終了する。

【0010】次に、データ電極D1～DMのうち、第二行目に表示すべき放電セル12に対応する所定のデータ電極に正の書き込みパルス電圧Vw(V)を、第二行目の走査電極SCN2に走査パルス電圧0(V)をそれぞれ印加する。このとき、所定のデータ電極と走査電極SCN2との交差部における絶縁体層7の表面と走査電極SCN2上の保護膜3の表面との間の電圧は、書き込みパルス電圧Vw(V)に所定のデータ電極上の絶縁体層7の表面の正の壁電圧が加算されたものとなるため、この交差部において、所定のデータ電極と走査電極SCN2との間および維持電極SUS2と走査電極SCN2との間に書き込み放電が起こり、この交差部の走査電極SCN2上の保護膜3の表面に正電圧が蓄積され、維持電極SUS2上の保護膜3の表面に負電圧が蓄積される。

【0011】同様な動作が引き続いて行われ、最後に、データ電極D1～DMのうち、第N行目に表示すべき放電セル12に対応する所定のデータ電極に正の書き込みパルス電圧Vw(V)を、第N行目の走査電極SCNNに走査パルス電圧0(V)をそれぞれ印加する。このとき、所定のデータ電極と走査電極SCNNとの交差部において、所定のデータ電極と走査電極SCNNとの間および維持電極SUSNと走査電極SCNNとの間に書き込み放電が起こり、この交差部の走査電極SCNN上の保護膜3の表面に正電圧が蓄積され、維持電極SUSN上の保護膜3の表面に負電圧が蓄積され、書き込み放電が起こったデータ電極上の絶縁体層7の表面に負電圧が蓄積される。以上により書き込み期間における書き込み動作が終了する。

【0012】続く維持期間において、まず、すべての走査電極SCN1～SCNNおよび維持電極SUS1～SUSNを0(V)に一旦戻した後、すべての走査電極SCN1～SCNNに正の維持パルス電圧Vm(V)を印加すると、書き込み放電を起こした放電セル12における走査電極SCN1～SCNN上の保護膜3と維持電極SUS1～SUSN上の保護膜3との間の電圧は、維持パルス電圧Vm(V)に、書き込み期間において蓄積された走査電極SCN1～SCNN上の保護膜3表面の正電圧および維持電極SUS1～SUSN上の保護膜3表面の負電圧が加算されたものとなる。このため、書き込み放電を起こした放電セルにおいて、走査電極SCN1～SCNNと維持電極SUS1～SUSNとの間に維持放電が起り、この維持放電を起こした放電セルにおける走査電極SCN1～SCNN上の保護膜3表面に負電圧が蓄積され、維持電極SUS1～SUSN上の保護膜3表面に正電圧が蓄積される。その後、維持パルス電圧は0(V)に戻る。

【0013】続いて、すべての維持電極SUS1～SUSNに正の維持パルス電圧Vm(V)を印加すると、維持放電を起こした放電セル12における維持電極SUS1～SUSN上の保護膜3と走査電極SCN1～SCNN

N上の保護膜3との間の電圧は、維持パルス電圧Vm (V)に、直前の維持放電によって蓄積された走査電極SCN1～SCNN上の保護膜3表面の負電圧および維持電極SUS1～SUSN上の保護膜3表面の正電圧が加算されたものとなる。このため、この維持放電を起した放電セルにおいて、維持電極SUS1～SUSNと走査電極SCN1～SCNNとの間に維持放電が起こることにより、その放電セルにおける維持電極SUS1～SUSN上の保護膜3表面に負電圧が蓄積され、走査電極SCN1～SCNN上の保護膜3表面に正電圧が蓄積される。その後、維持パルス電圧は0 (V)に戻る。

【0014】以降同様に、すべての走査電極SCN1～SCNNとすべての維持電極SUS1～SUSNとに正の維持パルス電圧Vm (V)を交互に印加することにより、維持放電が継続して行われ、維持期間の最終において、すべての走査電極SCN1～SCNNに正の維持パルス電圧Vm (V)を印加すると、維持放電を起した放電セル12における走査電極SCN1～SCNN上の保護膜3と維持電極SUS1～SUSN上の保護膜3との間の電圧は、維持パルス電圧Vm (V)に、直前の維持放電によって蓄積された走査電極SCN1～SCNN上の保護膜3表面の正電圧と維持電極SUS1～SUSN上の保護膜3表面の負電圧が加算されたものとなる。このため、この維持放電を起した放電セルにおいて、走査電極SCN1～SCNNと維持電極SUS1～SUSNとの間に維持放電が起こることにより、その放電セルにおける走査電極SCN1～SCNN上の保護膜3表面に負電圧が蓄積され、維持電極SUS1～SUSN上の保護膜3表面に正電圧が蓄積される。その後、維持パルス電圧は0 (V)に戻る。以上により維持期間の維持動作が終了する。この維持放電により発生する紫外線で励起された蛍光体10からの可視発光を表示に用いている。

【0015】続く消去期間において、すべての維持電極SUS1～SUSNに0 (V)から電圧Ve (V)に向かって緩やかに上昇するランプ電圧を印加すると、維持放電を起した放電セル12において、走査電極SCN1～SCNN上の保護膜3と維持電極SUS1～SUSN上の保護膜3との間の電圧は、維持期間の最終時点における、走査電極SCN1～SCNN上の保護膜3表面の負電圧および維持電極SUS1～SUSN上の保護膜3表面の正電圧がこのランプ電圧に加算されたものとなる。このため、維持放電を起した放電セルにおいて、維持電極SUS1～SUSNと走査電極SCN1～SCNNとの間に微弱な消去放電が起り、走査電極SCN1～SCNN上の保護膜3表面の負電圧と維持電極SUS1～SUSN上の保護膜3表面の正電圧が弱められて維持放電は停止する。以上により消去期間における消去動作が終了する。

【0016】ただし、以上の動作において、表示が行わ

れない放電セルに関しては、初期化期間に初期化放電は起るが、書き込み放電、維持放電および消去放電は行われず、表示が行わない放電セルの走査電極SCN1～SCNNと維持電極SUS1～SUSNの保護膜3の表面の壁電圧、およびデータ電極D1～DM上の絶縁体層7の表面の壁電圧は、初期化期間の終了時の状態のまま保たれる。

【0017】以上のすべての動作により第1のサブフィールドにおける一画面が表示される。以下、同様な動作が、第2のサブフィールドから第8のサブフィールドにわたって行われる。これらのサブフィールドにおいて表示される放電セルの輝度は、維持パルス電圧Vm (V)の印加回数により定まる。従って、詳しい説明は省略するが、例えば、各サブフィールドにおける維持パルス電圧の印加回数を適宜設定して、1フィールド期間に維持放電による輝度が $2^0$ 、 $2^1$ 、 $2^2$ 、…、 $2^7$ である8個のサブフィールドで構成することにより、 $2^8 = 256$ 階調の階調表示が可能になる。

【0018】以上説明した従来の駆動方法においては、パネルに表示する放電セルが全くない、いわゆる黒画面の表示においては、書き込み期間の書き込み放電、維持期間の維持放電および消去期間の消去放電が起こらず、初期化期間の初期化放電のみが起り、この初期化放電が微弱であり、その放電発光もまた微弱であるために、パネルのコントラストが高いという特長がある。例えば、480行、852×3列のマトリックス構成を成す42" AC型プラズマディスプレイパネルにおいて、1フィールド期間を8個のサブフィールドで構成して256階調表示を行った場合、各サブフィールドの初期化期間における二回の初期化放電による発光輝度は $0.15 \text{ cd/m}^2$ である。したがって、8個のサブフィールドでの合計は $0.15 \times 8 = 1.2 \text{ cd/m}^2$ となり、最大輝度は $420 \text{ cd/m}^2$ であるので、このパネルのコントラストは $420/1.2 = 350:1$ となり、かなり高い値のコントラストが得られる。

【0019】

【発明が解決しようとする課題】しかしながら、上記の従来の駆動方法においては、通常の照明下でパネル表示を行った場合にはかなり高いコントラストが得られているが、サブフィールド毎に必ず二回の初期化放電が起り、周囲が暗いところでパネル表示する場合においては、この微弱な初期化放電による発光でさえも目立つほど輝度が高く、余り明るくない場所でパネル表示する場合には黒表示の視認性がある。また、パネルの発光効率を上げるために各電極間の距離を広げると、それに伴ってパネル駆動のために高電圧が必要になり、微弱な初期化放電といえど発光はますます強まり、いっそう黒の視認性が強まってくる。

【0020】このため、初期化放電の回数を減らす、あるいは、初期化期間に印加する電圧を低くするという方

法で黒レベルの改善がなされているが、そのためには、走査電極側の書き込み期間のローレベル電圧を維持期間のローレベル電圧より低くした駆動波形にするのが実用的である。しかしながら、この場合、書き込まれていないところまで放電（以下、誤放電と称す）が起こり、パネルの至る所にドット発光が確認され、その改善が要望されている。

【0021】本発明の目的は、黒表示の視認性を低下させるとともに、書き込みが行われていない電極での誤放電を抑制することができるプラズマディスプレイ装置およびその駆動方法を提供することである。

#### 【0022】

【課題を解決するための手段】（1）第1の発明  
第1の発明に係るプラズマディスプレイ装置は、各フィールドを複数のサブフィールドに分割して階調表示を行うプラズマディスプレイ装置であって、第1の方向に配列される複数の第1の電極と、第1の方向と交差する第2の方向に配列される複数の第2の電極と、複数の第1の電極とそれぞれ対になるように配列される複数の第3の電極と、維持期間において第1の電極に印加されるローレベル電圧より低いローレベル電圧を書き込み期間において第1の電極に印加する電圧印加手段と、初期化期間終了後から次のサブフィールドまでの間に第1の電極と第3の電極との間の電圧を徐々に変化させて第1の電極と第3の電極との間に微弱放電を発生させる微弱放電発生手段とを備えるものである。

【0023】本発明に係るプラズマディスプレイ装置においては、維持期間におけるローレベル電圧より低いローレベル電圧が書き込み期間において第1の電極に印加され、初期化放電回数を減少させることができるとともに、初期化期間に印加する電圧を低下させることができ、黒表示の視認性を低下させることができる。また、初期化期間終了後から次のサブフィールドまでの間に第1の電極と第3の電極との間の電圧を徐々に変化させて第1の電極と第3の電極との間に微弱放電を発生させていたので、第1の電極と第3の電極との間の過剰な壁電圧を除去することができ、書き込みが行われていない電極での誤放電を抑制することができる。この結果、黒表示の視認性を低下させるとともに、書き込みが行われていない電極での誤放電を抑制することができる。

#### 【0024】（2）第2の発明

第2の発明に係るプラズマディスプレイ装置は、第1の発明に係るプラズマディスプレイ装置の構成において、微弱放電発生手段は、維持期間に第1の電極と第2の電極との間の電圧および第1の電極と第3の電極との間の電圧を徐々に変化させて第1の電極と第2の電極との間および第1の電極と第3の電極との間に微弱放電を発生させる維持期間微弱放電発生手段を含むものである。

【0025】この場合、維持期間に第1の電極と第2の電極との間の電圧および第1の電極と第3の電極との間

の電圧を徐々に変化させて第1の電極と第2の電極との間および第1の電極と第3の電極との間に微弱放電を発生させているので、第1ないし第3の電極の過剰な壁電圧を除去することができ、書き込みが行われていない電極での誤放電を抑制することができる。

#### 【0026】（3）第3の発明

第3の発明に係るプラズマディスプレイ装置は、第2の発明に係るプラズマディスプレイ装置の構成において、維持期間微弱放電発生手段は、維持期間の最初に第1の電極にランプ波形を印加するランプ波形印加手段を含むものである。この場合、ランプ波形により安定に微弱放電を発生させることができる。

#### 【0027】（4）第4の発明

第4の発明に係るプラズマディスプレイ装置は、第2の発明に係るプラズマディスプレイ装置の構成において、維持期間微弱放電発生手段は、維持期間の最初に第1の電極に充放電波形を印加する充放電波形印加手段を含むものである。

【0028】この場合、充放電波形を用いているので、抵抗および容量を用いて回路を構成することができ、回路構成を簡略化することができる。

#### 【0029】（5）第5の発明

第5の発明に係るプラズマディスプレイ装置は、第1の発明に係るプラズマディスプレイ装置の構成において、微弱放電発生手段は、フィールド期間の最後のサブフィールド期間と次のフィールド期間の最初のサブフィールド期間との間に第1の電極と第3の電極との間の電圧を徐々に変化させて第1の電極と第3の電極との間に微弱放電を発生させる第1の微弱放電発生手段を含むものである。

【0030】この場合、フィールド期間の最後のサブフィールド期間と次のフィールド期間の最初のサブフィールド期間との間に第1の電極と第3の電極との間の電圧を徐々に変化させて第1の電極と第3の電極との間に微弱放電を発生させているので、第1および第3の電極の過剰な壁電圧を除去することができ、書き込みが行われていない電極での誤放電を抑制することができる。

#### 【0031】（6）第6の発明

第6の発明に係るプラズマディスプレイ装置の駆動方法は、第5の発明に係るプラズマディスプレイ装置の構成において、微弱放電発生手段は、フィールド期間の最後のサブフィールド期間と次のフィールド期間の最初のサブフィールド期間との間に第1の電極をカソードおよび第2の電極をアノードとして第1の電極と第2の電極との間に微弱放電を発生させる第2の微弱放電発生手段をさらに含むものである。

【0032】この場合、フィールド期間の最後のサブフィールド期間と次のフィールド期間の最初のサブフィールド期間との間に第1の電極をカソードおよび第2の電極をアノードとして第1の電極と第2の電極との間に微

弱放電を発生させてるので、放電ガスを活性化させることができ、後続の初期化期間に所定の壁電荷を安定に形成することができるとともに、誤放電を抑制することができる。

【0033】(7) 第7の発明

第7の発明に係るプラズマディスプレイ装置の駆動方法は、第1の方向に配列される複数の第1の電極と、第1の方向と交差する第2の方向に配列される複数の第2の電極と、複数の第1の電極とそれぞれ対になるように配列される複数の第3の電極とを備えるプラズマディスプレイ装置の駆動方法であって、維持期間において第1の電極に印加されるローレベル電圧より低いローレベル電圧を書き込み期間において第1の電極に印加するステップと、初期化期間終了後から次のサブフィールドまでの間に第1の電極と第3の電極との間の電圧を徐々に変化させて第1の電極と第3の電極との間に微弱放電を発生させるステップとを含むものである。

【0034】本発明に係るプラズマディスプレイ装置の駆動方法においては、維持期間におけるローレベル電圧より低いローレベル電圧が書き込み期間において第1の電極に印加され、初期化放電回数を減少させることができるとともに、初期化期間に印加する電圧を低下させることができ、黒表示の視認性を低下させることができ。また、初期化期間終了後から次のサブフィールドまでの間に第1の電極と第3の電極との間の電圧を徐々に変化させて第1の電極と第3の電極との間に微弱放電を発生させてるので、第1の電極と第3の電極との間の過剰な壁電圧を除去することができ、書き込みが行われていない電極での誤放電を抑制することができる。この結果、黒表示の視認性を低下させるとともに、書き込みが行われていない電極での誤放電を抑制することができる。

【0035】

【発明の実施の形態】以下、本発明によるプラズマディスプレイ装置の一例としてAC型プラズマディスプレイ装置について説明する。本発明のプラズマディスプレイ装置は、テレビジョン受像機およびコンピュータ端末等の画像表示装置に好適に用いられるものである。

【0036】(第1の実施の形態)まず、本発明の第1の実施の形態によるプラズマディスプレイ装置について図面を参照しながら説明する。図1は、本発明の第1の実施の形態によるプラズマディスプレイ装置の構成を示すブロック図である。

【0037】図1のプラズマディスプレイ装置は、PDP(プラズマディスプレイパネル)100、データドライバ200、スキャンドライバ300およびサステインドライバ400を備える。

【0038】PDP100は、複数のデータ電極(アドレス電極)8、複数の走査電極(スキャン電極)4および複数の維持電極(サステイン電極)5を含む。複数の

データ電極8は、画面の垂直方向に配列され、複数の走査電極4および複数の維持電極5は、画面の水平方向に配列されている。また、複数の維持電極5は、共通に接続されている。データ電極8、走査電極4および維持電極5の各交点には、放電セル12が形成され、各放電セル12が画面上の画素を構成する。なお、PDP100の詳細な構成は、図14および図15を用いて説明した従来のプラズマディスプレイパネルと同様である。

【0039】データドライバ200は、PDP100の複数のデータ電極8に接続されている。スキャンドライバ300は、PDP100の複数の走査電極4に接続されている。サステインドライバ400は、PDP100の複数の維持電極5に接続されている。

【0040】データドライバ200は、書き込み期間において、画像データに応じてPDP100の該当するデータ電極8に書き込みパルスを印加する。スキャンドライバ300は、複数の駆動回路から構成され、書き込み期間において、PDP100の複数の走査電極4に書き込みパルスを順に印加する。これにより、該当する放電セル12において書き込み放電が行われる。

【0041】また、複数のスキャンドライバ300は、維持期間において、周期的な維持パルスをPDP100の複数の走査電極4に印加する。一方、サステインドライバ400は、維持期間において、PDP100の複数の維持電極5に走査電極4の維持パルスに対して180度位相のずれた維持パルスを同時に印加する。これにより、該当する放電セル12において維持放電が行われる。

【0042】本実施例の形態において、走査電極4が第1の電極に相当し、データ電極8が第2の電極に相当し、維持電極5が第3の電極に相当し、スキャンドライバ300が電圧印加手段に相当し、データドライバ200、スキャンドライバ300およびサステインドライバ400が微弱放電発生手段、維持期間微弱放電発生手段およびランプ波形印加手段に相当する。

【0043】図2は、図1のPDP100におけるデータ電極8、走査電極4および維持電極5の駆動電圧の一例を示すタイミング図である。

【0044】図2に示すように、各フィールドは、複数のサブフィールド、例えば8つのサブフィールドに分割される。各サブフィールド期間は、初期化期間、書き込み期間、維持期間および消去期間により構成される。各サブフィールドは、維持期間の長さが異なり、各サブフィールドの点灯状態を変えることにより、例えば256階調の階調表示が行われる。なお、PDP100の各放電セル内で安定に放電を起こせるためには、映像を表現するための放電とは別に、封入ガスを活性化するための放電が必要となり、この動作が初期化動作であり、その期間が初期化期間である。

【0045】まず、初期化期間の前半の初期化動作にお

いて、データドライバ200およびサステインドライバ400によりすべてのデータ電極8およびすべての維持電極5を0(V)に保持し、すべての走査電極4には、すべての維持電極5に対して放電開始電圧以下となる電圧Vp(V)から、放電開始電圧を超える電圧Vr(V)に向かって緩やかに上昇するランプ電圧がスキャンドライバ300により印加される。このランプ電圧が上昇する間に、すべての放電セル12において、すべての走査電極4からすべてのデータ電極8およびすべての維持電極5にそれぞれ1回目の微弱な初期化放電が起こり、走査電極4に負の壁電圧が蓄積されるとともに、データ電極8および維持電極5に正の壁電圧が蓄積される。

【0046】次に、初期化期間の後半の初期化動作において、サステインドライバ400によりすべての維持電極5を正電圧Vh(V)に保ち、すべての走査電極4には、すべての維持電極5に対して放電開始電圧以下となる電圧Vq(V)から放電開始電圧を超える電圧Va'(V)に向かって緩やかに下降するランプ電圧がスキャンドライバ300により印加される。このランプ電圧が下降する間に、再びすべての放電セル12において、すべての維持電極5からすべての走査電極4にそれぞれ2回目の微弱な初期化放電が起こり、走査電極4の負の壁電圧および維持電極5の正の壁電圧が弱められる。このとき、走査電極4とデータ電極8との間にも同時に放電が起こり、走査電極4の負の壁電圧およびデータ電極8の正の壁電圧がわずかに弱められる。以上により、初期化期間の初期化動作が終了する。

【0047】次に、書き込み期間の書き込み動作において、スキャンドライバ300によりすべての走査電極4を電圧Vs'(V)に保持し、その後、映像信号に応じてオンまたはオフする書き込みパルス電圧Vw(V)がデータドライバ200により各データ電極8に印加され、この書き込みパルスに同期して複数の走査電極4に負の走査パルス電圧Va'(V)がスキャンドライバ300により順に印加される。このとき、表示すべき放電セルに対応するデータ電極8と走査電極4との間の電圧は、書き込みパルス電圧Vw(V)と電圧Va'(V)(絶対値)とを加算した電圧に初期化期間に走査電極4とデータ電極8のそれぞれに蓄積された壁電圧が、さらに加算されたものとなる。したがって、データ電極8と走査電極4との間および維持電極5と走査電極4との間に書き込み放電が起こり、走査電極4に正の壁電圧が蓄積され、維持電極5に負の壁電圧が蓄積され、データ電極8に負の壁電圧が蓄積される。

【0048】このように、本実施の形態では、スキャンドライバ300により書き込み期間に走査電極4に印加されるローレベル電圧Va'(V)を0(V)すなわち以下に説明する維持期間のローレベル電圧Va(V)よりも低く設定しているので、初期化期間に印加する電圧V

r(V)を低下させることができ、黒表示の視認性を低下させることができる。

【0049】次に、維持期間において、すべての走査電極4には、電圧Vs'(V)から維持パルス電圧Vm(V)に向かって緩やかに上昇するランプ波形を有する電圧がスキャンドライバ300により印加され、サステインドライバ400により維持電極5は0(V)に一旦戻される。このとき、書き込み放電を起こした放電セルにおける走査電極4と維持電極5との間の電圧は、維持パルス電圧Vm(V)に書き込み期間において蓄積された走査電極4の正の壁電圧および維持電極5の負の壁電圧が加算されたものとなる。このため、書き込み放電を起こした放電セルにおいて、走査電極4と維持電極5との間に維持放電が起こり、この維持放電を起こした放電セルにおける走査電極4に負の壁電圧が蓄積され、維持電極5に正の壁電圧が蓄積される。

【0050】続いて、スキャンドライバ300によりすべての走査電極4の電圧が維持パルス電圧Vm(V)から電圧Va(V)(接地電位)に戻され、サステインドライバ400によりすべての維持電極5に正の維持パルス電圧Vm(V)が印加されると、維持放電を起こした放電セルにおける維持電極5と走査電極4との間の電圧は、維持パルス電圧Vm(V)に直前の維持放電により蓄積された走査電極4の負の壁電圧および維持電極5の正の壁電圧が加算されたものとなる。このため、この維持放電を起こした放電セルにおいて、維持電極5と走査電極4との間に維持放電が起こり、以降、スキャンドライバ300およびサステインドライバ400により維持パルス電圧Vm(V)を走査電極4と維持電極5とに交互に印加し、維持放電が継続して行われる。

【0051】一方、書き込み期間において書き込み放電が発生しなかった放電セルでは、維持期間の初期の壁電圧の状態は、初期化期間中に形成された壁電圧の状態のままである。このとき、図16に示すように従来と同様にステップ波形で維持パルス電圧Vm(V)が印加されると、初期化期間に制御できなかった壁電圧が存在する放電セルでは、維持パルス電圧Vm(V)と初期化期間に形成された壁電圧とを加算した電圧が放電開始電圧以上となり、走査電極4とデータ電極8との間で放電が起こり、この放電がきっかけとなって、またはデータ電極8を介さず直接に、走査電極4と維持電極5との間に維持放電が起こり、誤放電が発生する。

【0052】しかしながら、本実施の形態では、走査電極4には、維持期間の最初の維持パルスとして、電圧Vs'(V)から維持パルス電圧Vm(V)に向かって緩やかに上昇するランプ波形による維持パルスが印加されているため、書き込みが行われていない走査電極4とデータ電極8との間およびこの走査電極4と対応する維持電極5との間で微弱な放電が発生し、過剰な壁電荷が除去される。したがって、維持期間の最初の維持パルス以

降の維持パルスがステップ波形で印加されても、走査電極4、維持電極5およびデータ電極8には過剰な壁電圧が形成されていないため、維持パルス電圧Vm (V) に各電極の壁電圧を加算した電圧が放電開始電圧以上になることはなく、誤放電は発生しない。

【0053】なお、上記の微弱な放電では、非常に弱い発光しか発生しないため、黒表示の輝度レベルが上昇せず、表示画面のコントラストを悪化させることがない。この点に関しては、以下の各実施の形態で用いる微弱な放電も同様である。

【0054】最後に、消去期間において、サステンドライバ400によりすべての維持電極5に0 (V) から電圧Ve (V) に向かって緩やかに上昇するランプ電圧を印加すると、維持放電を起こした放電セルにおいて、走査電極4と維持電極5との間の電圧は、維持期間の最終時点における走査電極の負の壁電圧および維持電極5の正の壁電圧がこのランプ電圧に加算されたものとなる。このため、維持放電を起こした放電セルにおいて、維持電極5と走査電極4との間に微弱な消去放電が起こり、走査電極4の負の壁電圧と維持電極5の正の壁電圧とが弱められて維持放電が停止する。一方、維持放電を行われてない放電セルでは、維持期間の第1の維持パルスのランプ波形により過剰な壁電圧が除去されているため、消去放電は行われない。

【0055】次に、図2に示す維持期間のランプ波形を発生させるランプ波形発生回路について説明する。図3は、図2に示す維持期間のランプ波形を発生するランプ波形発生回路の一例の構成を示す回路図である。

【0056】図3のランプ波形発生回路は、図1に示すキャンドライバ300内に具備され、抵抗R1～R6、ダイオードD1～D3、ツェナーダイオードD4、コンデンサC1、可変抵抗器VR1およびFET (電界効果型トランジスタ、以下、トランジスタと称す) Q1を含む。

【0057】図3に示すランプ波形発生回路は、図示のように各素子が接続されてトランジスタQ1のゲート～ドレイン間にコンデンサC1が接続されたミラー積分回路として動作し、維持期間の最初の維持パルスとして、電圧Vs' (V) から維持パルス電圧Vm (V) に向かって緩やかに上昇するランプ波形を出力するものである。また、図3に示すランプ波形発生回路は、PDP100の特性のばらつき等によりランプ波形の傾きの最適値が異なるため、傾き調整を行ったり、また、回路電源ばらつき補償、温度補償等の各種補償を行うものである。

【0058】なお、ランプ波形発生回路としては、図3に示す例に特に限定されず、種々のランプ波形発生回路を用いることができる。また、ランプ波形の傾きは、使用するPDPの特性等に応じて設定される。

【0059】上記のように、本実施の形態では、維持期

間におけるローレベル電圧Va (V) より低いローレベル電圧Va' (V) が書き込み期間において走査電極4に印加され、初期化期間に印加する電圧Vr (V) を低下させることができる。また、維持期間に走査電極4に印加する第1の維持パルスを電圧Vs' (V) から維持パルス電圧Vm (V) まで緩やかに上昇するランプ波形により構成しているので、書き込み放電が行われた放電セルでは通常の維持放電が起こり、書き込み放電が行われていない放電セルでは走査電極4と維持電極5との間および走査電極4とデータ電極8との間に微弱放電が発生し、書き込み期間において書き込み放電が行われていない放電セルの過剰な壁電荷を除去することができる。したがって、黒表示の視認性を低下させることができるとともに、書き込みが行われていない電極間での誤放電を抑制することができる。

【0060】なお、図2では、維持期間の最初の維持パルスとして、電圧Vs' (V) から電圧Vm (V) までランプ波形により走査電極4に印加する電圧を上昇させているが、上記の例に特に限定されず、微弱放電を発生させることができれば、種々の波形を用いることができ、例えば、放電開始電圧が電圧Vm (V) より低い電圧のときは、その電圧を超えるところまでランプ波形で上昇させるようにしてもよい。

【0061】(第2の実施の形態) 次に、本発明の第2の実施の形態によるプラズマディスプレイ装置について図面を参照しながら説明する。図4は、本発明の第2の実施の形態によるプラズマディスプレイ装置の構成を示すブロック図である。

【0062】図4に示すプラズマディスプレイ装置と図1に示すプラズマディスプレイ装置とで異なる点は、キャンドライバ300がキャンドライバ300aに変更された点であり、その他の点は図1に示すプラズマディスプレイ装置と同様であるので、同一部分には同一符号を付し、以下異なる点についてのみ詳細に説明する。

【0063】キャンドライバ300aは、維持期間において走査電極4に印加される最初の維持パルスとして、ランプ波形ではなく、CR充電波形により立ち上がるパルスを出力する。本実施例の形態において、キャンドライバ300aが電圧印加手段に相当し、データドライバ200、キャンドライバ300aおよびサステンドライバ400が微弱放電発生手段、維持期間微弱放電発生手段および充放電波形印加手段に相当し、その他の点は第1の実施の形態と同様である。

【0064】図5は、図4のPDP100におけるデータ電極8、走査電極4および維持電極5の駆動電圧の一例を示すタイミング図である。

【0065】図5に示すように、走査電極4には、維持期間において、最初の維持パルスとして、CR充電波形により電圧Vs' (V) から電圧Vm (V) まで上昇するパルスが用いられる。この場合、初期化期間に形成さ

れた壁電圧と走査電極4に印加される電圧とを加算した電圧が放電開始電圧より低い期間は、CR充電波形の急峻な立ち上がり部分を利用し、それ以上の電圧すなわち放電開始電圧を超える電圧を印加する部分には、CR充電波形の穏やかな立ち上がり部分を利用し、緩やかに電圧を上昇させている。

【0066】したがって、本実施の形態では、走査電極4には、維持期間の最初の維持パルスとして、電圧V<sub>s'</sub> (V)から維持パルス電圧V<sub>m</sub> (V)に向かって緩やかに上昇するCR充電波形による維持パルスが印加されているため、書き込みが行われていない走査電極4とデータ電極8との間およびこの走査電極4と対応する維持電極5との間で微弱な放電が発生し、過剰な壁電荷が除去される。この結果、維持期間の最初の維持パルス以降の維持パルスがステップ波形で印加されても、走査電極4、維持電極5およびデータ電極8には過剰な壁電荷が形成されていないため、維持パルス電圧V<sub>m</sub> (V)に各電極の壁電圧を加算した電圧が放電開始電圧以上になることはなく、誤放電は発生しない。なお、その他の動作は、第1の実施の形態と同様である。

【0067】次に、図5に示す維持期間のCR充電波形を発生させるCR充電波形発生回路について説明する。図6は、図5に示す維持期間のCR充電波形を発生するCR充電波形発生回路の一例の構成を示す回路図である。

【0068】図6に示すCR充電波形発生回路は、図4に示すスキャンドライバ300a内に具備され、抵抗R<sub>7</sub>、R<sub>8</sub>およびトランジスタQ<sub>2</sub>を含む。

【0069】トランジスタQ<sub>2</sub>の一端は、電圧V<sub>m</sub> (V)を受ける抵抗R<sub>8</sub>に接続され、他端はPDP100すなわち走査電極4と接地端子との容量に相当するパネル容量C<sub>ps</sub>に接続され、そのゲートは抵抗R<sub>7</sub>と接続される。したがって、抵抗R<sub>8</sub>とPDP100すなわちパネル容量C<sub>ps</sub>によるCR充電波形が送出される。なお、パネル容量C<sub>ps</sub>にはある程度ばらつきはあるものの、パネル容量C<sub>ps</sub>が最も小さくなるときに必要な条件を満たすように抵抗R<sub>8</sub>の抵抗値を予め選定し、かつ書き込み期間の終了から維持期間の最初の維持パルスの立ち上げ終了までの期間を十分にとることにより、第1の実施の形態と同様に安定に微弱放電を発生させることができる。

【0070】上記のように、本実施の形態では、第1の実施の形態と同様の効果を得ることができるとともに、CR充電波形を用いているので、回路構成を簡略化することができ、回路のコストを低減することができる。

【0071】なお、上記の説明では、CR充電波形を用いたが、上記の例に特に限定されず、微弱放電を発生させることができれば、種々の波形を用いることができ、例えば、立ち下がり時に微弱な放電を発生させる場合はCR放電波形を用いることにより上記と同様の効果を得

ることができる。

【0072】(第3の実施の形態) 次に、本発明の第3の実施の形態によるプラズマディスプレイ装置について図面を参照しながら説明する。図7は、本発明の第3の実施の形態によるプラズマディスプレイ装置の構成を示すブロック図である。

【0073】図7に示すプラズマディスプレイ装置と図1に示すプラズマディスプレイ装置とで異なる点は、スキャンドライバ300がスキャンドライバ300bに変更され、サステインドライバ400がサステインドライバ400aに変更された点であり、その他の点は図1に示すプラズマディスプレイ装置と同様であるので、同一部分には同一符号を付し、以下異なる点についてのみ詳細に説明する。

【0074】図8は、図7に示すスキャンドライバ300bに用いられるスキャンドライバ回路の構成を示す回路図である。なお、図7に示すスキャンドライバ300bは、図8に示すスキャンドライバ回路が各走査電極4ごとに設けられたものである。

【0075】図8に示すスキャンドライバ回路は、トランジスタQ<sub>11</sub>～Q<sub>21</sub>、コンデンサC<sub>11</sub>～C<sub>15</sub>、回収コイルL<sub>11</sub>、ダイオードD<sub>11</sub>～D<sub>14</sub>、電源V<sub>13</sub>、V<sub>14</sub>およびドライバ回路D<sub>1</sub>を含む。

【0076】コンデンサC<sub>11</sub>は、ノードN<sub>11</sub>と接地端子との間に接続される。トランジスタQ<sub>11</sub>およびダイオードD<sub>11</sub>は、ノードN<sub>11</sub>とノードN<sub>12</sub>との間に直列に接続され、ダイオードD<sub>12</sub>およびトランジスタQ<sub>12</sub>は、ノードN<sub>12</sub>とノードN<sub>11</sub>との間に直列に接続される。トランジスタQ<sub>11</sub>のゲートには制御信号S<sub>11</sub>が入力され、トランジスタQ<sub>12</sub>のゲートには制御信号S<sub>12</sub>が入力される。回収コイルL<sub>11</sub>は、ノードN<sub>12</sub>とノードN<sub>13</sub>との間に接続される。

【0077】トランジスタQ<sub>13</sub>は、電源端子V<sub>11</sub>とノードN<sub>13</sub>との間に接続され、そのゲートには制御信号S<sub>13</sub>が入力される。電源端子V<sub>11</sub>は電圧V<sub>m</sub> (V)を受ける。トランジスタQ<sub>14</sub>は、ノードN<sub>13</sub>と接地端子との間に接続され、そのゲートには制御信号S<sub>14</sub>が入力される。トランジスタQ<sub>15</sub>は、電源端子V<sub>12</sub>とノードN<sub>13</sub>との間に接続され、そのゲートには制御信号S<sub>15</sub>が入力される。電源端子V<sub>12</sub>は電圧V<sub>m</sub>/2 (V)を受ける。

【0078】電源V<sub>13</sub>およびダイオードD<sub>13</sub>は、接地端子とノードN<sub>14</sub>との間に直列に接続される。電源V<sub>13</sub>は電圧V<sub>r</sub> (V)を出力する。コンデンサC<sub>12</sub>は、ノードN<sub>14</sub>とノードN<sub>13</sub>との間に接続される。トランジスタQ<sub>16</sub>は、ノードN<sub>14</sub>とノードN<sub>15</sub>との間に接続され、そのゲートには制御信号S<sub>16</sub>が入力される。コンデンサC<sub>13</sub>は、トランジスタQ<sub>16</sub>のゲート～ドレイン間に接続される。トランジスタQ<sub>17</sub>は、ノードN<sub>15</sub>とノードN<sub>13</sub>との間に接続され、そ

のゲートには制御信号S17が入力される。

【0079】トランジスタQ18は、ノードN15とノードN16との間に接続され、そのゲートには制御信号S18が入力される。トランジスタQ19は、ノードN16と電源端子V16との間に接続され、そのゲートには制御信号S19が入力される。コンデンサC14は、トランジスタQ19のゲートードレイン間に接続される。電源端子V16は電圧V<sub>a'</sub> (V) を受ける。

【0080】電源V14およびダイオードD14は、電源端子V15とノードN17との間に直列に接続される。電源V14は電圧V<sub>s'</sub> (V) を出力し、電源端子V15は電圧V<sub>a'</sub> (V) を受ける。コンデンサC15は、ノードN17とノードN16との間に接続される。トランジスタQ20は、ノードN17とノードN18との間に接続され、そのゲートには制御信号S20が入力される。トランジスタQ21は、ノードN18とノードN16との間に接続され、そのゲートには制御信号S21が入力される。

【0081】ドライブ回路D1の入力側は、ノードN18およびノードN16に接続され、出力側はPDP100すなわち走査電極4と接地端子との容量に相当するパネル容量C<sub>ps</sub>に接続される。なお、制御信号S11～S21は、垂直同期信号および水平同期信号等を基にスキャンドライバ300b内で発生される信号であり、制御信号S11～S21によりトランジスタQ11～Q21のオン／オフ状態が制御される。

【0082】図9は、図7に示すサステンドライバ400aの構成を示す回路図である。図9に示すサステンドライバ400aは、トランジスタQ31～Q36、ダイオードD31～D34、コンデンサC31、C32および回収コイルL31を含む。

【0083】コンデンサC31は、ノードN31と接地端子との間に接続される。トランジスタQ31およびダイオードD31は、ノードN31とノードN32との間に直列に接続される。ダイオードD32およびトランジスタQ32は、ノードN32とノードN31との間に直列に接続される。トランジスタQ31のゲートには制御信号S31が入力され、トランジスタQ32のゲートには制御信号S32が入力される。回収コイルL31は、ノードN32とノードN33との間に接続される。

【0084】ダイオードD33およびトランジスタQ33は、電源端子V31とノードN33との間に直列に接続され、トランジスタQ33のゲートには制御信号S33が入力される。電源端子V31は電圧V<sub>m</sub> (V) を受ける。トランジスタQ34は、ノードN33と接地端子との間に接続され、そのゲートには制御信号S34が入力される。ダイオードD34は電源端子V31と電源端子V32との間に接続される。トランジスタQ35は、電源端子V32とノードN33との間に接続され、そのゲートには制御信号S35が入力される。電源端子V3

2は電圧V<sub>h</sub> (V) を受ける。コンデンサC32は、トランジスタQ35のゲートードレイン間に接続される。

【0085】トランジスタQ36は、電源端子V33とノードN33との間に接続され、そのゲートには制御信号S36が入力される。電源端子V33は電圧V<sub>m</sub>/2 (V) を受ける。ノードN33は、PDP100すなわち維持電極5と接地端子との間の全容量に相当するパネル容量C<sub>ps</sub>に接続される。なお、制御信号S31～S36は、垂直同期信号および水平同期信号等を基にサステンドライバ400a内で発生される信号であり、制御信号S31～S36によりトランジスタQ31～Q36のオン／オフ状態が制御される。

【0086】本実施例の形態において、走査電極4が第1の電極に相当し、データ電極8が第2の電極に相当し、維持電極5が第3の電極に相当し、スキャンドライバ300bが電圧印加手段に相当し、スキャンドライバ300bおよびサステンドライバ400aが微弱放電発生手段および第1の微弱放電発生手段に相当する。

【0087】図10は、図7のPDP100におけるデータ電極8、走査電極4および維持電極5の駆動電圧の一例を示すタイミング図である。

【0088】図10に示すように、各フィールドは、複数のサブフィールド、例えば8つのサブフィールドに分割される。各サブフィールドは、初期化期間、書き込み期間および維持期間により構成される。各サブフィールドは、維持期間の長さが異なり、各サブフィールドの点灯状態を変えることにより、例えば256階調の階調表示が行われる。

【0089】なお、本実施の形態では、初期化回数を減らすために、第1のサブフィールド以外のサブフィールドでは、初期化期間における初期化動作の一部が直前のサブフィールドの維持期間における維持動作と同時に行われるように構成され、それゆえ、消去期間が設けられていない。すなわち、第1のサブフィールドでは、初期化期間として、第1の実施の形態と同様の初期化期間を用いているが、第2のサブフィールド以後の各サブフィールドでは、初期化期間の一部を用いた疑似初期化期間を用い、初期化回数を削減している。

【0090】まず、第1のサブフィールドにおける初期化期間の前半の初期化動作において、データドライバ200によりすべてのデータ電極8を0 (V) に保持し、サステンドライバ400aのトランジスタQ34がオンしてすべての維持電極5を0 (V) に保持する。このとき、スキャンドライバ300bのトランジスタQ11, Q17, Q18, Q21がオンし、さらにトランジスタQ13がオンし、各走査電極4の電圧が、ドライブ回路D1を介して回収コイルL11とパネル容量C<sub>ps</sub>とのLC共振によりすべての維持電極5に対して放電開始電圧以下となる電圧V<sub>m</sub> (V) まで上昇する。

【0091】その後、スキャンドライバ300bのト

ンジスタQ13, Q16, Q18, Q21がオンし、ミラー積分回路を構成するトランジスタQ16により電圧Vm (V) から放電開始電圧を超える電圧Vr (V) に向かって緩やかに上昇するランプ電圧がドライブ回路DIを介して各走査電極4に印加される。このランプ電圧が上昇する間に、すべての放電セル12において、すべての走査電極4からすべてのデータ電極8およびすべての維持電極5にそれぞれ1回目の微弱な初期化放電が起こり、走査電極4に負の壁電圧が蓄積されるとともに、データ電極8および維持電極5に正の壁電圧が蓄積される。

【0092】次に、初期化期間の後半の初期化動作において、サステンドライバ400aのトランジスタQ31, Q33, Q35が順にオンし、すべての維持電極5が正電圧Vh (V) に保持される。このとき、スキャンドライバ300bのトランジスタQ11, Q17, Q18, Q21がオンし、さらにトランジスタQ13がオンし、すべての走査電極4の電圧が、ドライブ回路DIを介して回収コイルL11とパネル容量CpsとのLC共振によりすべての維持電極5に対して放電開始電圧以下となる電圧Vm (V) まで降下する。

【0093】その後、スキャンドライバ300bのトランジスタQ19, Q21がオンし、ミラー積分回路を構成するトランジスタQ19により電圧Vm (V) から放電開始電圧を超える電圧Va' (V) に向かって緩やかに降下するランプ電圧がドライブ回路DIを介して各走査電極4に印加される。このランプ電圧が降下する間に、再びすべての放電セル12において、すべての維持電極5からすべての走査電極4にそれぞれ2回目の微弱な初期化放電が起こり、走査電極4の負の壁電圧および維持電極5の正の壁電圧が弱められる。このとき、走査電極4とデータ電極8との間にも同時に放電が起こり、走査電極4の負の壁電圧およびデータ電極8の正の壁電圧がわずかに弱められる。以上により、初期化期間の初期化動作が終了する。

【0094】次に、書き込み期間の書き込み動作において、スキャンドライバ300bのトランジスタQ19, Q20がオンし、ドライブ回路DIにベース電圧として電圧Va' (V) が供給され、電源電圧として電圧Vs' (V) が供給される。また、ドライブ回路DIの内部のFETが所定のタイミングでオン／オフされ、書き込み期間の初期には、すべての走査電極4を電圧Vs' (V) に保持する。その後、映像信号に応じてオンまたはオフする書き込みパルス電圧Vw (V) がデータドライバ200により各データ電極8に印加され、この書き込みパルスに同期してスキャンドライバ300bのドライブ回路DIの内部のFETが所定のタイミングでオン／オフされ、複数の走査電極4に走査パルス電圧Va' (V) が順に印加される。

【0095】このとき、表示すべき放電セルに対応する

データ電極8と走査電極4との間の電圧は、書き込みパルス電圧Vw (V) と電圧Va' (V) を加算した電圧に初期化期間に走査電極4とデータ電極8のそれぞれに蓄積された壁電圧が、さらに加算されたものとなる。したがって、データ電極8と走査電極4との間および維持電極5と走査電極4との間に書き込み放電が起こり、走査電極4に正の壁電圧が蓄積され、維持電極5に負の壁電圧が蓄積され、データ電極8に負の壁電圧が蓄積される。

【0096】次に、維持期間において、スキャンドライバ300bのトランジスタQ11, Q17, Q18, Q21がオンし、さらにトランジスタQ13がオンし、すべての走査電極4には、回収コイルL11とパネル容量CpsとのLC共振によりドライブ回路DIを介して電圧Va (V) (接地電位) から維持パルス電圧Vm (V) まで上昇する維持パルスが印加される。一方、サステンドライバ400aのトランジスタQ32がオンし、さらにトランジスタQ34がオンし、すべての維持電極5には、回収コイルL11とパネル容量CpsとのLC共振によりドライブ回路DIを介して0 (V) に一旦戻される。

【0097】このとき、書き込み放電を起こした放電セルにおける走査電極4と維持電極5との間の電圧は、維持パルス電圧Vm (V) に書き込み期間において蓄積された走査電極4の正の壁電圧および維持電極5の負の壁電圧が加算されたものとなる。このため、書き込み放電を起こした放電セルにおいて、走査電極4と維持電極5との間に維持放電が起こり、この維持放電を起こした放電セルにおける走査電極4に負の壁電圧が蓄積され、維持電極5に正の壁電圧が蓄積される。

【0098】続いて、サステンドライバ400aのトランジスタQ31がオンし、さらにトランジスタQ33がオンし、回収コイルL11とパネル容量CpsとのLC共振によりドライブ回路DIを介してすべての維持電極5に正の維持パルス電圧Vm (V) を印加すると、維持放電を起こした放電セルにおける維持電極5と走査電極4との間の電圧は、維持パルス電圧Vm (V) に直前の維持放電により蓄積された走査電極4の負の壁電圧および維持電極5の正の壁電圧が加算されたものとなる。このため、この維持放電を起こした放電セルにおいて、維持電極5と走査電極4との間に維持放電が起こる。以降、同様に、スキャンドライバ300bおよびサステンドライバ400aにより維持パルス電圧Vm (V) を走査電極4と維持電極5とに交互に印加し、維持放電が継続して行われる。

【0099】次に、第2のサブフィールドの疑似初期化期間の最初の期間(維持期間の最後)において、スキャンドライバ300bのトランジスタQ11, Q17, Q18, Q21がオンし、さらにトランジスタQ13がオンして所定期間経過した後、トランジスタQ15, Q1

7, Q18, Q21がオンし、すべての走査電極4には、電圧Va (V) から維持パルス電圧Vm (V) まで上昇した後Vm/2 (V) まで立ち下がる細幅の維持パルスが印加される。

【0100】一方、サステンドライバ400aのトランジスタQ32がオンし、さらにトランジスタQ34がオンした後、トランジスタQ36がオンし、すべての維持電極5には、維持パルス電圧Vm (V) から電圧Va (V) まで降下した後Vm/2 (V) まで立ち上がる細幅の維持パルスが印加される。

【0101】このとき、書き込み放電を起こした放電セルにおける走査電極4と維持電極5との間の電圧は、維持パルス電圧Vm (V) に書き込み期間において蓄積された走査電極4の正の壁電圧および維持電極5の負の壁電圧が加算されたものとなる。このため、書き込み放電を起こした放電セルにおいて、走査電極4と維持電極5との間に維持放電が起こる。また、上記の細幅の維持パルスの場合、維持パルス電圧Vm印加後すぐさま走査電極4および維持電極5ともに電圧Vm/2が印加されるので、走査電極4と維持電極5との間には壁電圧は形成されないが、データ電極8と走査電極4との間には電圧Vm/2に近い壁電圧が形成された状態で停止する。この動作が、データ電極8と走査電極4との間に壁電圧を蓄積する初期化期間の前半の初期化動作に相当する。

【0102】次に、第2のサブフィールドの疑似初期化期間の後の期間において、走査電極4および維持電極5の電圧が所定期間電圧Vm/2 (V) に保持された後、サステンドライバ400aのトランジスタQ31, Q33, Q35が順にオンし、すべての維持電極5が正電圧Vh (V) に保持される。このとき、スキャンドライバ300bのトランジスタQ19, Q21がオンし、ミラー積分回路を構成するトランジスタQ19により電圧Vm (V)/2から放電開始電圧を超える電圧Va' (V) に向かって緩やかに降下するランプ電圧がドライブ回路DIを介して各走査電極4に印加される。

【0103】このランプ電圧が降下する間に、再びすべての放電セル12において、すべての維持電極5からすべての走査電極4にそれぞれ微弱な初期化放電が起こり、走査電極4および維持電極5の壁電圧が調整される。このとき、走査電極4とデータ電極8との間にも同時に放電が起こり、走査電極4の負の壁電圧およびデータ電極8の正の壁電圧がわずかに弱められる。以降、第1のサブフィールドと同様に書き込み期間および維持期間の各動作が行われ、第3のサブフィールド以降の各サブフィールドは、第2のサブフィールドと同様に疑似初期化期間、書き込み期間および維持期間の各動作が行われる。

【0104】このように、本実施例の形態では、スキャンドライバ300bにより第1のサブフィールドの初期化期間に走査電極4に印加されるローレベル電圧Va'

(V) を維持期間のローレベル電圧Va (V) より低く設定し、さらに、消去期間をなくして維持期間の最後の維持パルスを細幅にし、その放電途中に走査電極4および維持電極5に印加する電圧をVm/2に設定している。したがって、初期化期間に印加する電圧Vr (V) を低下させることができるとともに、初期化放電回数を減少させることができ、黒表示の視認性を低下させることができる。

【0105】図11は、図10に示す駆動電圧のうち第1および第2のフィールド間の駆動電圧の一例を示すタイミング図である。

【0106】図11に示す第1のフィールドの最後のサブフィールドの維持期間における最後の維持パルスのパルス幅は、図10と同様に、放電が壁電荷を形成して安定に終了する時間、例えば2μsよりも短く設定されており、かつ、この維持パルス印加後に走査電極4と維持電極5との間の印加電圧を等しくすることにより維持動作と消去動作が同時に行われるようにしている。

【0107】一方、書き込み放電が発生しなかった放電セルでは、通常、上記のような放電は起こらないが、他の放電セル内での放電の影響や回路およびパネルの不安定性等により維持期間中の最後の維持パルスによって放電を起こす場合がある。このため、走査電極4に負の壁電圧が形成され、維持電極5に正の壁電圧が形成されてしまい、誤放電を引き起こす要因となる。

【0108】このため、本実施の形態では、図11に示すように、第1のフィールドの最後のサブフィールドの維持期間と第2のフィールドの最初のサブフィールドの初期化期間との間に擬似サブフィールド期間を設け、以下のようにして上記の誤放電を防止している。

【0109】最後の維持パルスが印加された後、疑似サブフィールド期間において、走査電極4および維持電極5の電圧が所定期間電圧Vm/2 (V) に保持された後、サステンドライバ400aのトランジスタQ31, Q33, Q35が順にオンし、すべての維持電極5が正電圧Vh (V) に保持される。このとき、スキャンドライバ300bのトランジスタQ19, Q21がオンし、ミラー積分回路を構成するトランジスタQ19により電圧Vm (V)/2から放電開始電圧を超える電圧Va' (V) に向かって緩やかに降下するランプ電圧がドライブ回路DIを介して各走査電極4に印加される。

【0110】このランプ電圧が降下する間に、再びすべての放電セル12において、すべての維持電極5からすべての走査電極4にそれぞれ微弱な放電が起こり、走査電極4および維持電極5の壁電圧が調整される。このとき、走査電極4とデータ電極8との間にも同時に放電が起こり、走査電極4の負の壁電圧およびデータ電極8の正の壁電圧がわずかに弱められる。

【0111】このように、本実施の形態では、各フィールドの最後のサブフィールドの維持期間と次のフィール

ドの初期化期間との間に擬似サブフィールド期間を設け、走査電極4に電圧V<sub>a'</sub> (V)に向けて緩やかに降下するランプ波形を印加し、維持電極5をV<sub>h</sub> (V)に保持することにより、維持電極5と走査電極4との間に微弱な放電が起こり、誤放電が発生しないように走査電極4および維持電極5の壁電圧を調整することができる。したがって、本実施の形態でも、黒表示の視認性を低下させるとともに、書き込みが行われていない電極での誤放電を抑制することができる。

【0112】なお、上記の説明では、ランプ波形を用いたが、上記の例に特に限定されず、微弱放電を発生させることができれば、種々の波形を用いることができ、例えば、第2の実施の形態と同様にCR充電波形を用いてもよい。

【0113】(第4の実施の形態) 次に、本発明の第4の実施の形態によるプラズマディスプレイ装置について図面を参照しながら説明する。図12は、本発明の第4の実施の形態によるプラズマディスプレイ装置の構成を示すブロック図である。

【0114】図12に示すプラズマディスプレイ装置と図7に示すプラズマディスプレイ装置とで異なる点は、データドライバ200がデータドライバ200aに変更された点であり、その他の点は図7に示すプラズマディスプレイ装置と同様であるので、同一部分には同一符号を付し、以下異なる点についてのみ詳細に説明する。

【0115】データドライバ200aは、疑似サブフィールド期間においてすべてのデータ電極8に電圧V<sub>w</sub> (V)を印加する。本実施例の形態において、データドライバ200aおよびスキャンドライバ300bが第2の微弱放電発生手段に相当し、その他の点は第3の実施の形態と同様である。

【0116】図13は、図12のPDP100における第1および第2のフィールド間のデータ電極8、走査電極4および維持電極5の駆動電圧の一例を示すタイミング図である。

【0117】図13に示すように、第1のフィールドの最後のサブフィールドの維持期間と第2のフィールドの最初のサブフィールドの初期化期間との間に擬似サブフィールド期間を設けている。なお、この疑似サブフィールド期間の走査電極4および維持電極5に印加される電圧およびその動作は、第3の実施の形態と同様である。

【0118】ここで、第2のフィールドの最初のサブフィールドの初期化動作に着目する。この初期化期間では、走査電極4が高電圧になり、走査電極4は電子が降り注がれる側すなわちアノードとして働き、一方、データ電極8の電圧は0 (V)であり、データ電極8は電子を降り注ぐ側すなわちカソードとして働く。一般に、データ電極8をカソードとした時の放電開始電圧は、アノードとしたときの放電開始電圧より大きい。このため、初期化期間の直前に、走査電極4をカソード、データ電

極8をアノードとして放電させて、放電ガスを活性化させることにより、初期化期間に走査電極4へ印加する電圧を低い値にすることができる、しかも誤放電を起こさない安定な書き込みを行うことができる。

【0119】このため、本実施の形態では、擬似サブフィールド期間によって上記の状態を実現している。すなわち、初期化期間の直前に、スキャンドライバ300bにより走査電極4の電圧をランプ波形により電圧V<sub>a'</sub> (V)に向かって緩やかに立ち下げ、データドライバ200aによりデータ電極8の電圧を書き込みパルス電圧V<sub>w</sub> (V)に保持することにより、走査電極4をカソード、データ電極8をアノードとして走査電極4とデータ電極8との間に微弱な放電を発生させている。

【0120】なお、各電圧は、V<sub>a'</sub> (V) + V<sub>w</sub> (V) + データ電極8の壁電圧(走査電極4に蓄積された壁電圧をGNDとし、それを基準にデータ電極8に蓄積された壁電圧) > 放電開始電圧を満たすように設定しておく。このとき、データ電極8の電圧を0 (V)に固定しておくと、電圧V<sub>a'</sub> (V)は走査電極4と維持電極5との間の放電開始電圧と同程度に大きな負電圧にならなければならなくなり、他のサブフィールドの初期化期間および疑似初期化期間の波形と共用できず、新たな回路が必要になる。このため、本実施の形態では、上記のように、データ電極8の電圧をデータドライバ200aにより書き込みパルス電圧V<sub>w</sub> (V)に保持し、大きな負電圧の印加を不要にしている。したがって、疑似サブフィールド期間の波形を他のサブフィールドの初期化期間および疑似初期化期間の波形と共用することができ、新たな回路を用いる必要がなく、回路構成が簡略化される。

【0121】このように、本実施の形態では、第3の実施の形態と同様の効果が得られるとともに、初期化期間の前に走査電極4をカソードおよびデータ電極8をアノードとして放電を起こさせることにより、パネル内の封入ガスが活性化された状態になり、初期化期間中に安定した壁電圧を形成しやすくなるとともに、誤放電を防ぐことができる。

【0122】

【発明の効果】本発明によれば、維持期間におけるローレベル電圧より低いローレベル電圧が書き込み期間において第1の電極に印加され、初期化期間終了後から次のサブフィールドまでの間に第1の電極と第3の電極との間の電圧を徐々に変化させて第1の電極と第3の電極との間に微弱放電を発生させているので、黒表示の視認性を低下させるとともに、書き込みが行われていない電極での誤放電を抑制することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態によるプラズマディスプレイ装置の構成を示すブロック図

【図2】図1のPDPにおけるデータ電極、走査電極お

および維持電極の駆動電圧の一例を示すタイミング図

【図3】図2に示す維持期間のランプ波形を発生するランプ波形発生回路の一例の構成を示す回路図

【図4】本発明の第2の実施の形態によるプラズマディスプレイ装置の構成を示すブロック図

【図5】図4のPDPにおけるデータ電極、走査電極および維持電極の駆動電圧の一例を示すタイミング図

【図6】図5に示す維持期間のCR充電波形を発生するCR充電波形発生回路の一例の構成を示す回路図

【図7】本発明の第3の実施の形態によるプラズマディスプレイ装置の構成を示すブロック図

【図8】図7に示すスキャンドライバに用いられるスキャンドライバ回路の構成を示す回路図

【図9】図7に示すサステインドライバの構成を示す回路図

【図10】図7のPDPにおけるデータ電極、走査電極および維持電極の駆動電圧の一例を示すタイミング図

【図11】図10に示す駆動電圧のうち第1および第2のフィールド間の駆動電圧の一例を示すタイミング図

【図12】本発明の第4の実施の形態によるプラズマディスプレイ装置の構成を示すブロック図

【図13】図12のPDPにおける第1および第2のフィールド間のデータ電極、走査電極および維持電極の駆動電圧の一例を示すタイミング図

【図14】従来のAC型プラズマディスプレイパネルの一部斜視図

【図15】図14に示すAC型プラズマディスプレイパネルの電極配列図

【図16】従来のAC型プラズマディスプレイパネルの動作駆動タイミング図

【符号の説明】

4 走査電極

5 維持電極

8 データ電極

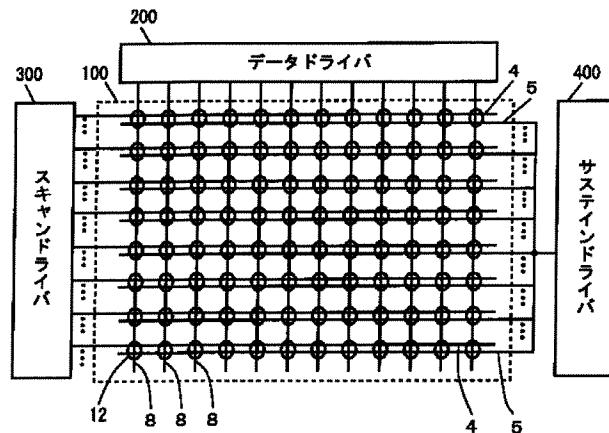
100 PDP

200, 200a データドライバ

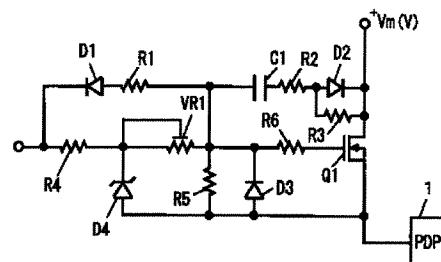
300, 300a, 300b スキャンドライバ

400, 400a サステインドライバ

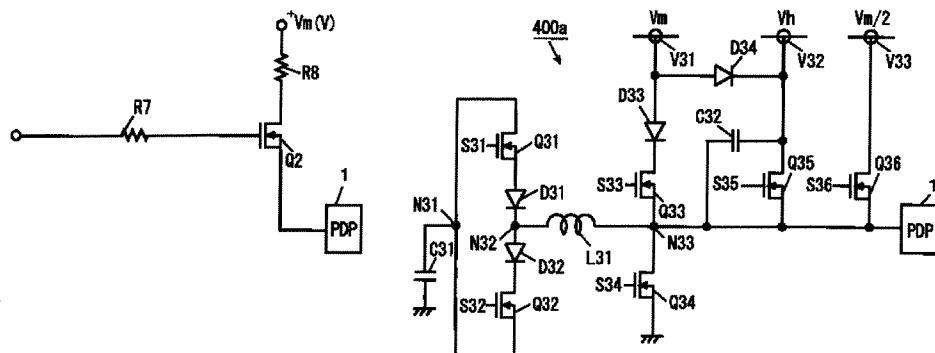
【図1】



【図3】

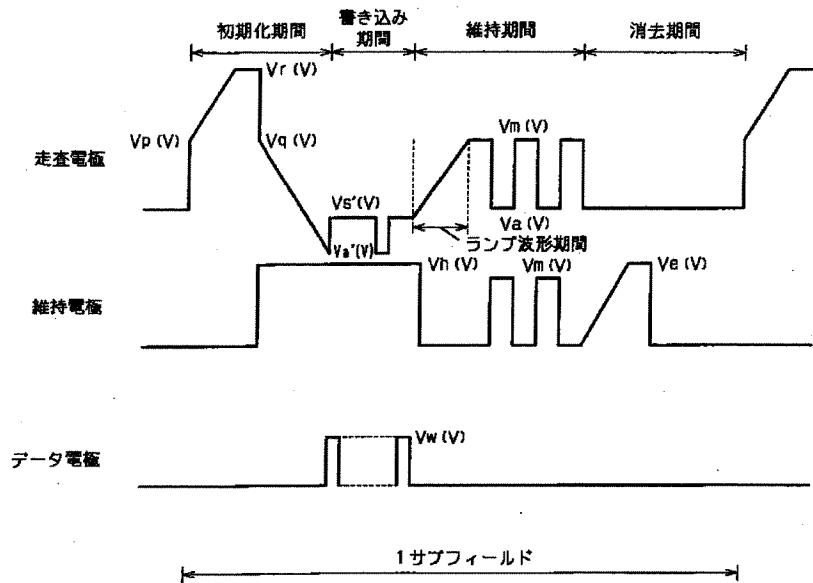


【図6】

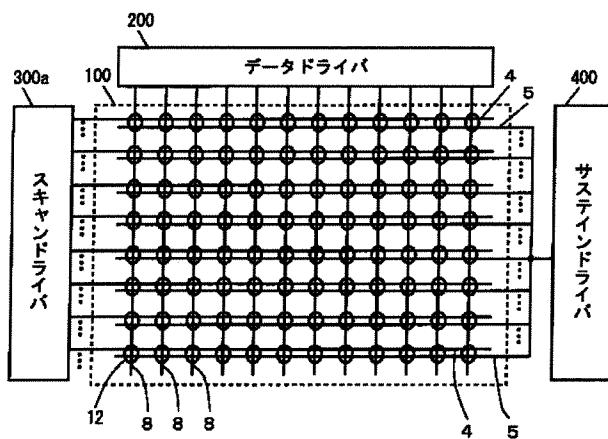


【図9】

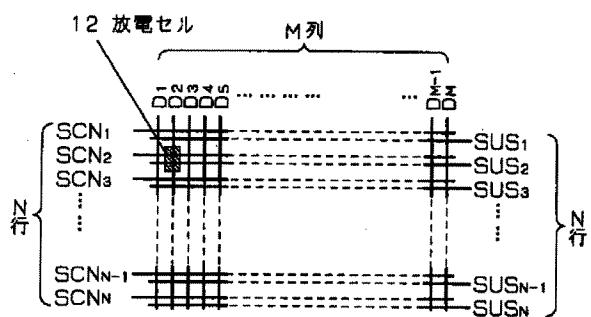
【図2】



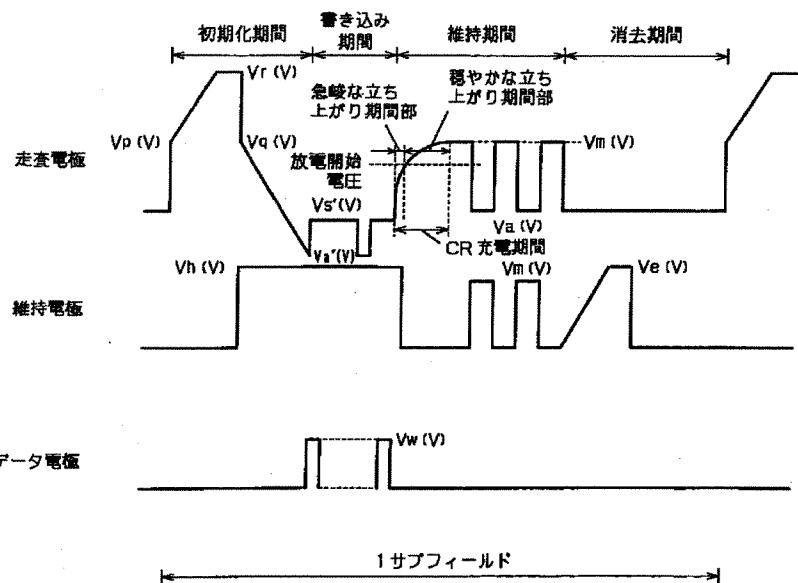
【図4】



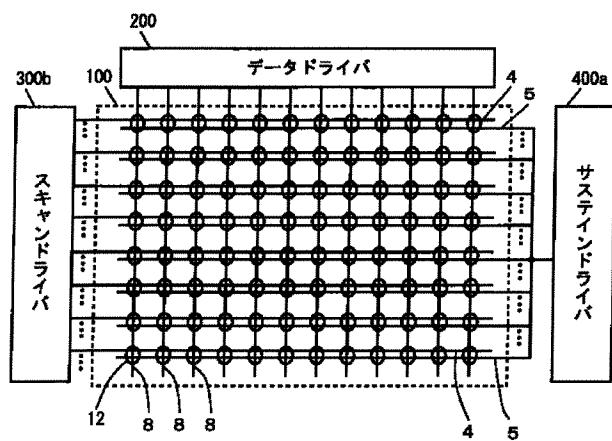
【図15】



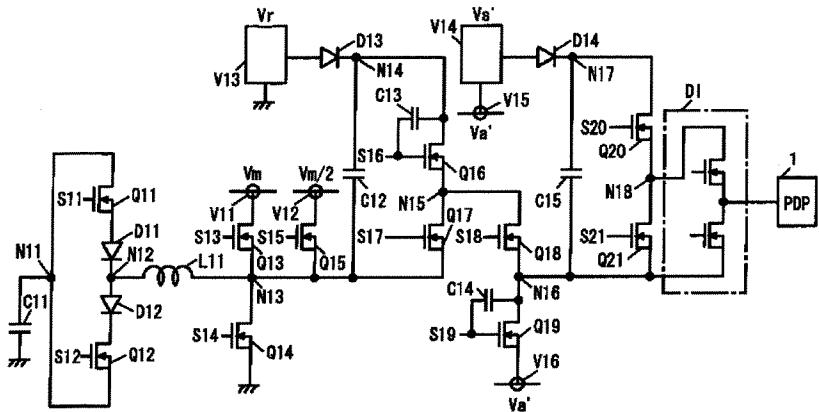
【図5】



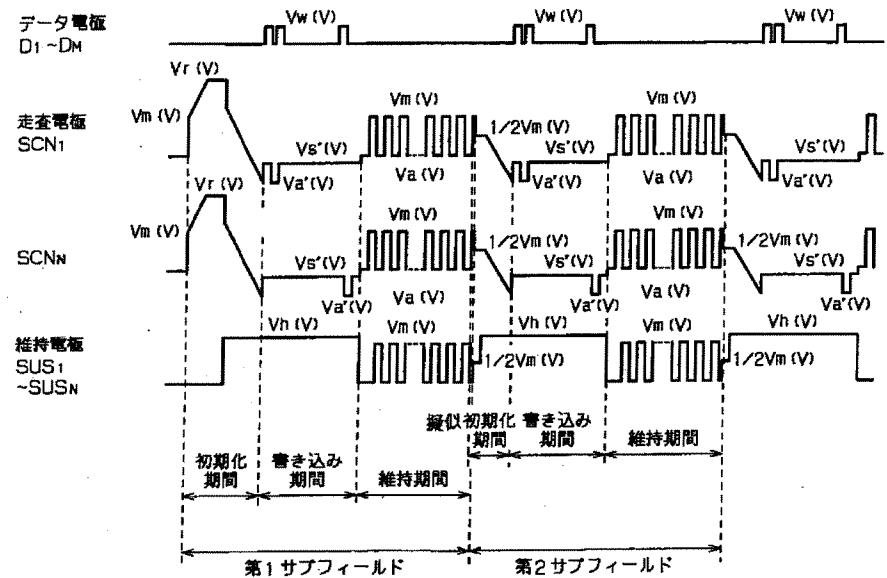
【図7】



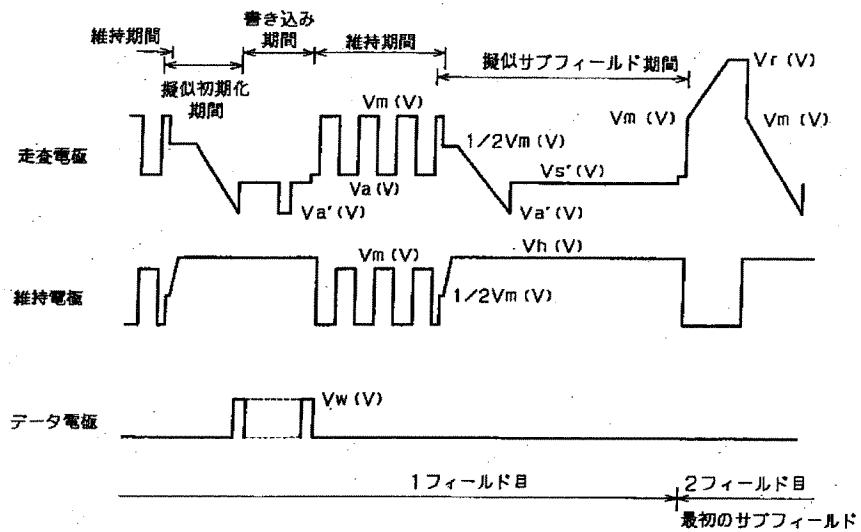
【図8】



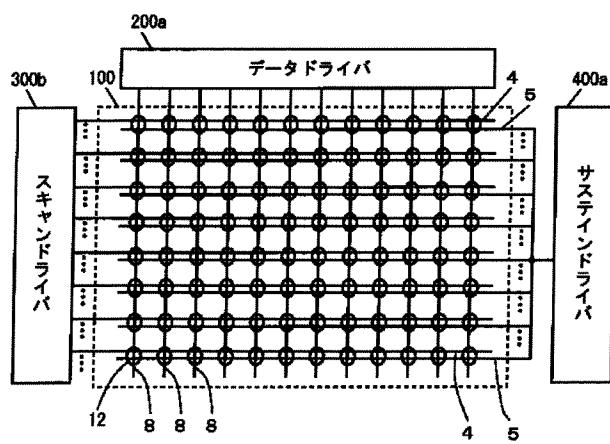
【図10】



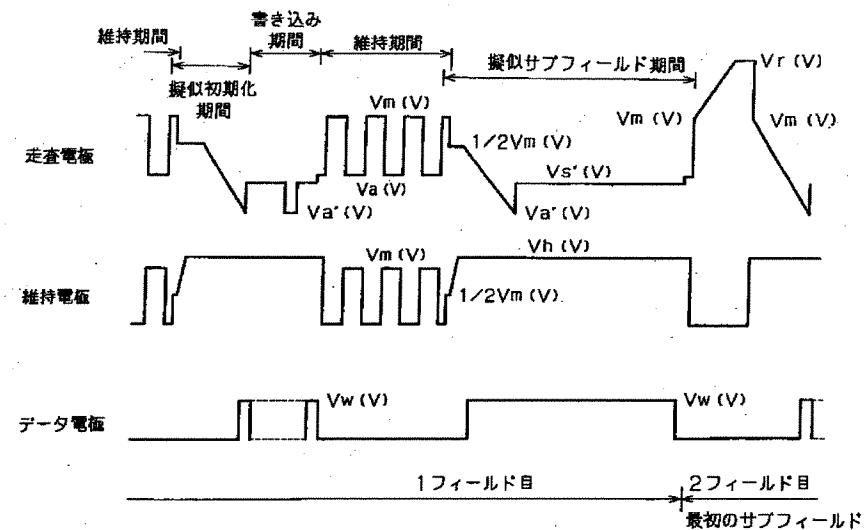
【図11】



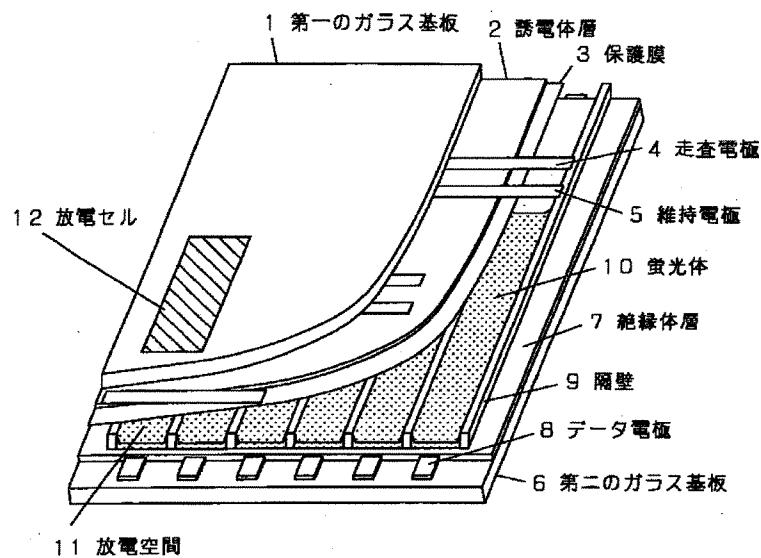
【図12】



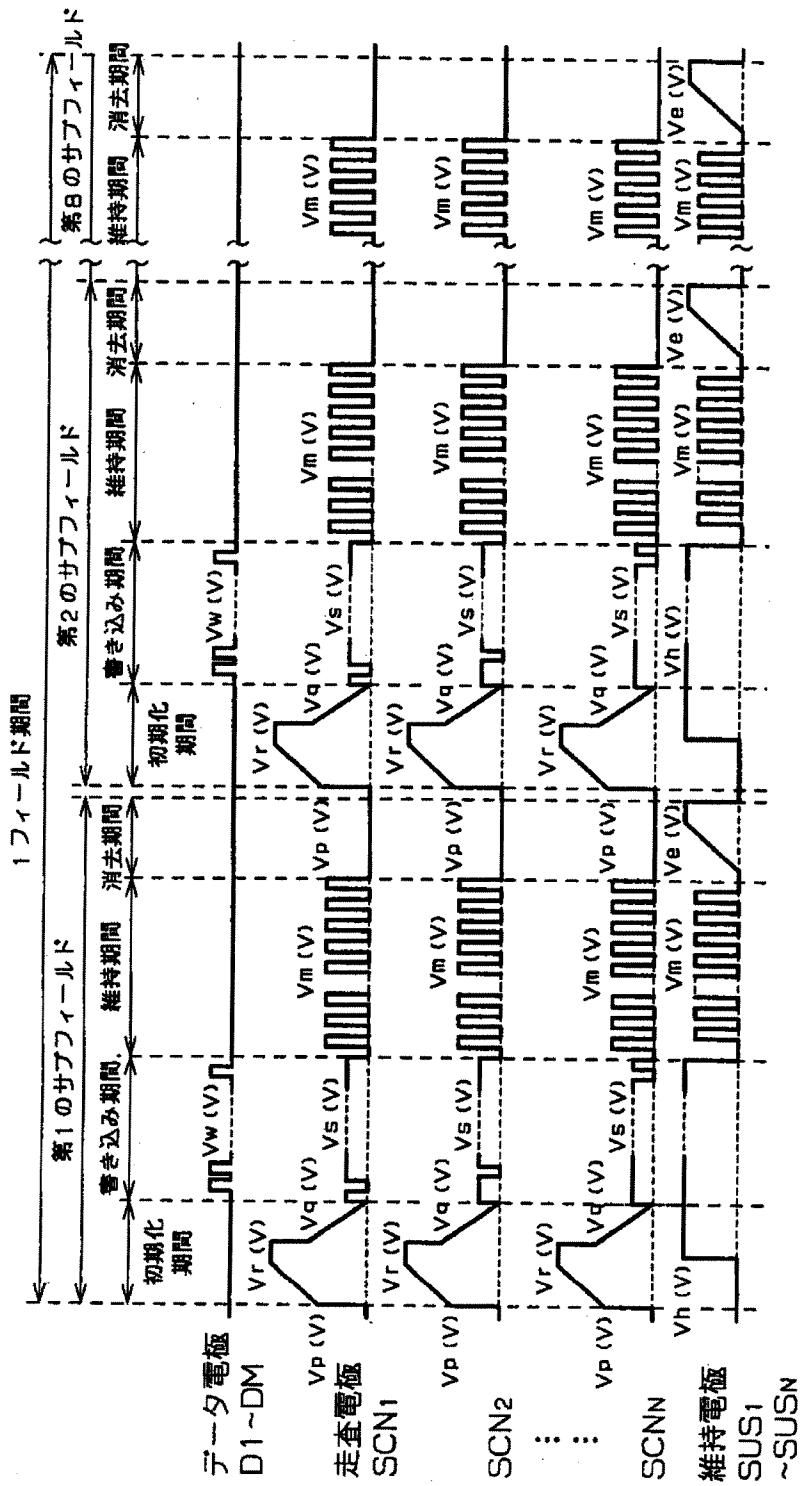
【図13】



【図14】



【図16】



フロントページの続き

(72) 発明者 小川 兼司  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

F ターム(参考) 5C080 AA05 BB05 DD09 DD30 EE29  
FF12 GG12 HH02 HH04 JJ02  
JJ03 JJ04 JJ06